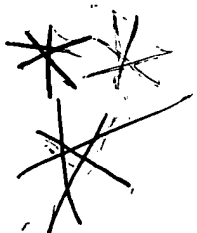


Special offer  
New  
22



⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58—18928

⑪ Int. Cl.<sup>3</sup>  
H 01 L 21/306

識別記号

庁内整理番号  
8223—5F

⑬ 公開 昭和58年(1983)2月3日

発明の数 1  
審査請求 未請求

(全 2 頁)

⑭ 半導体装置の製法

⑯ 発明者 加藤正美

東京都港区芝五丁目33番1号日  
本電気株式会社内

⑰ 特願 昭56—118036

⑱ 出願 昭56(1981)7月28日

⑲ 出願人 日本電気株式会社

⑳ 発明者 藤定正一

東京都港区芝五丁目33番1号日  
本電気株式会社内

㉑ 代理人 弁理士 内原晋

明 細 書

1. 発明の名称

半導体装置の製法

2. 特許請求の範囲

半導体薄膜基板の表面の平坦度を得る場合に、  
部分蝕刻法を用いる事を特徴とする半導体装置の  
製法。

3. 発明の詳細な説明

本発明は薄膜基板、特に Si, GaAs 等の半導体  
基板上に薄膜を結晶成長させた基板(以後エビウ  
ェーと呼ぶ)に関するものである。

半導体基板上に薄膜を結晶成長させる場合、半  
導体基板上の半導体物質のクズやゴミ等により形  
成されたエビウエーの表面に突起物が出来てい  
た。これらの突起物は、エビウエーを用いて半  
導体装置(以後、ウエーと呼ぶ)を製造する場  
合に、現在は大部分のウエーがマスクを用いた

写真蝕刻法により素子(以後ベレットと呼ぶ)を  
製造しているために、写真蝕刻のためのマスクと  
ウエーの密着不良を引き起こし、ひいてはベレ  
ットパターンの形成不良となり、製品品質の低下  
及び生産性の低下を引き起こしていた。このため、  
従来はエビウエー表面を平坦にする方法として、  
エビウエー表面にある硬度以上の固型物平板を  
圧着する事により、不要な突起部分を押しつぶし  
て除去していた。しかしながら、この方法では圧  
着時に押しつぶされた突起物の破片が該エビウエ  
ー上に付着したり、ある大きさ以上の突起物は  
完全に圧着する事が出来ず、突起物を完全に除去  
する事が出来ない等の問題点があった。

本発明は上記問題点を除去する事により、製品  
品質の向上及び生産性の向上を図る事を目的とし  
たエビウエー表面を平坦にするための方法を提  
供するものである。

すなわち、本発明は部分蝕刻法を用いて平坦に  
したものであり、以下に本発明を実施例により説  
明する。第1図(a)は突起物のあるエビウエーの

平面図、(b)はその側面図である。第2図は本発明の実施例を示す上記エピウェハーの断面図である。まず、突起物2のあるエピウェハー1の表面に耐腐蝕性物質(以下、レジストと呼ぶ)3をエピウェハーを高速度で回転させながらレジストを滴下する事により塗布する。本方法による塗布では突起物表面には他の部分に比較し相当薄い膜しか付着しない(第2図(a))。次に、突起物2の表面に付着した薄いレジストが除去されるまでウェハー表面のレジストを除去する(第2図(b))。この時、他の部分のレジストも除去されるがレジスト膜厚が厚いので一部表面層が除去されるのみで大部分が残る。次に、該レジスト3を保護膜として突起物を蝕刻して除去する(第2図(c))。最後に、レジスト3を除去すると不要な突起物のみが除去されエピウェハー表面の突起はなくなる。

以上の様に本発明によれば突起物の大きさに関係なくエピウェハー表面の突起物を除去出来、該突起物により引き起こされていたマスクとの密着不良、及びマスクへの傷等の問題が解消され、べ

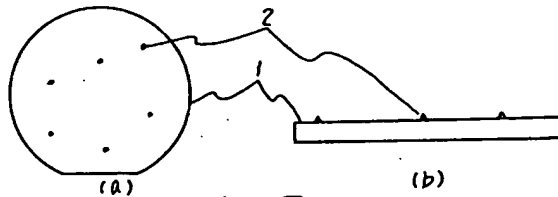
レット製品品質及び生産性の向上を図る事が出来る。

4. 図面の簡単な説明

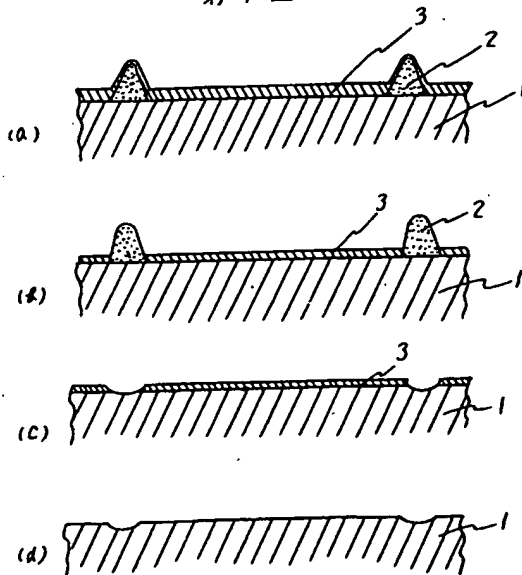
第1図(a)は表面に突起があるエピウェハーの平面図、(b)はその断面図である。第2図(a)~(d)は本発明の一実施例による製造方法を示す断面図である。

1……結晶成長させた半導体基板(エピウェハー)、2……エピウェハー上に出来た突起物、3……レジスト。

代理人 弁理士 内原 晋



第1図



第2図

PAT-NO: JP358018928A

DOCUMENT-IDENTIFIER: JP 58018928 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: February 3, 1983

INVENTOR-INFORMATION:

NAME  
FUJISADA, SHOICHI  
KATO, MASAMI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEC CORP	N/A

APPL-NO: JP56118036

APPL-DATE: July 28, 1981

INT-CL (IPC): H01L021/306

US-CL-CURRENT: 216/18, 257/E21.219 , 438/FOR.132

ABSTRACT:

PURPOSE: To smooth the surface of a semiconductor thin film substrate by using partial etching.

CONSTITUTION: While rotating an epitaxial wafer 1 having protrusion 2 at high speed a resist 3 is dropped to the wafer surface. The resultant film covering the surface of the protrusion is far thinner than other portion of the film. This thinner film portion is selectively removed, then the protrusion is etched with the resist 3 applied as a mask, and finally the resist 3 is removed, making the surface without any protrusion available. Therefore, pour contact with a mask and mask damage can be avoided.

COPYRIGHT: (C)1983,JPO&Japio

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 58-018928

(43)Date of publication of application : 03.02.1983

(51)Int.Cl.

H01L 21/306

(21)Application number : 56-118036

(71)Applicant : NEC CORP

(22)Date of filing : 28.07.1981

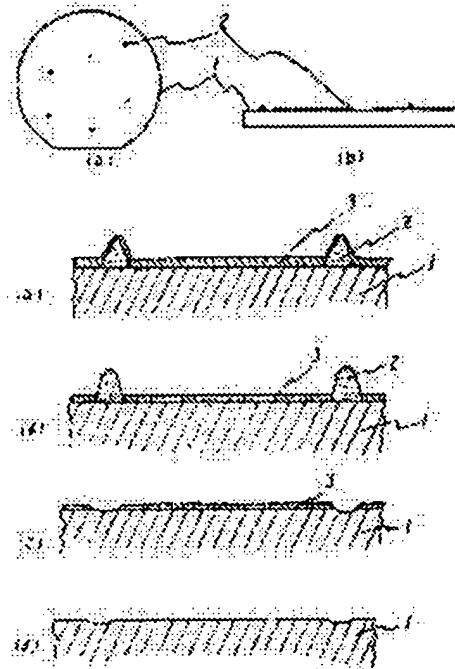
(72)Inventor : FUJISADA SHOICHI  
KATO MASAMI

### (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

**PURPOSE:** To smooth the surface of a semiconductor thin film substrate by using partial etching.

**CONSTITUTION:** While rotating an epitaxial wafer 1 having protrusion 2 at high speed a resist 3 is dropped to the wafer surface. The resultant film covering the surface of the protrusion is far thinner than other portion of the film. This thinner film portion is selectively removed, then the protrusion is etched with the resist 3 applied as a mask, and finally the resist 3 is removed, making the surface without any protrusion available. Therefore, poor contact with a mask and mask damage can be avoided.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office